

基于 UVM 的 CPU 卡芯片验证平台

钱一文, 景为平, 蒋 斌

(南通大学 江苏省专用集成电路设计重点实验室, 江苏 南通 226000)

摘 要: 介绍了一种基于 UVM(Universal Verification Methodology)验证方法学的验证平台. 该验证平台是针对基于自主知识产权的国产 MCU C0 的 CPU 卡芯片的功能验证需求所搭建的. 该验证平台采用面向对象的层次化的建模方法, 完成了符合 ISO14443 协议的验证事务, 通用功能验证组件以及设计参考模型的建模; 能实时监测设计中信号的变化, 能实现在验证过程中验证结果的自动对比, 能根据覆盖率调整验证的进程. 验证结果表明, 该验证平台具有复用性, 提升了芯片验证的效率和可靠性.

关键词: UVM 验证方法学; CPU 卡芯片; System verilog; 功能验证

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2016)06—0037—04

Testbench of CPU Card Chip Based on UVM

QIAN Yi-wen, JING Wei-ping, JIANG Bin

(Jiangsu Key Laboratory of ASIC Design, Nantong University, Nantong 22600, China)

Abstract: This paper introduced a verification platform which is based on the UVM(Universal Verification Methodology). This platform was built for meeting the needs of functional verification about the CPU card chip that is based on c0-mcu. This platform used the object-oriented and layered modeling method to accomplish the verification accord with ISO14443 protocol and also the modeling of the general function elements and design model reference. This platform could monitor signal changes in the design in realtime. the platform could check the signal automatically. Results showed that the verification platform is reusable, enhance the efficiency and reliability of the verification.

Key words: UVM; CPU card; system verilog; functional verification

1 引言

随着大规模集成电路技术的不断发展, 数字集成电路的规模不断增大, 功能不断增强, 这给验证完备性带来了更大的挑战. 同时随着市场竞争的日益激烈, 芯片从研发到上市的周期不断缩短, 这对于验证的效率又提出了更高的要求^[1-2]. 验证技术一直在发展, 从早前的 e 语言、verilog 语言到现在的面向对象的 system verilog 语言, 验证的效率与完备性这两点一直是验证领域研究的关键之处. 在此情况下, 许多新的验证方法学被提出. 例如: VMM、OVM AVM 以及 UVM 验证方法学. 这些验证方法

学的出现在一定程度上解决了验证的效率和验证的完备性等问题.

CPU 卡对于普通的加密逻辑卡在安全性和功能性方面有着巨大的优势. 本文围绕 UVM 验证方法学, 搭建了一个 CPU 卡芯片的验证平台. 该验证平台实现了测试用例和测试平台的分离, 以及验证的自动化, 提高了验证的效率和可靠性, 加快了项目的研发速度.

2 UVM 验证方法学

2010 年标准化组织 Accellera 在 OVM 的基础上, 引入了 VMM 中回调(callback)等机制, 推出了

收稿日期: 2015—07—28; **修回日期:** 2015—09—13

基金项目: 江苏省物联网和新一代信息技术研发及产业化项目(su2013-137); 江苏省高校自然科学研究重大项目(13kj510005); 南通大学研究生科技计划项目(yk1402)

UVM,成为业界方法学统一的一个雏形^[3-4]. UVM 相比于 OVM 具有更加强大和丰富的功能,而且其开源的特质相比于 VMM 具有更好的兼容性,所以它可以运行在任何主流 EDA 厂商的模拟器上.

UVM 包含有一组层次化继承的验证类库^[5],其标准树形层次结构如图 1 所示.

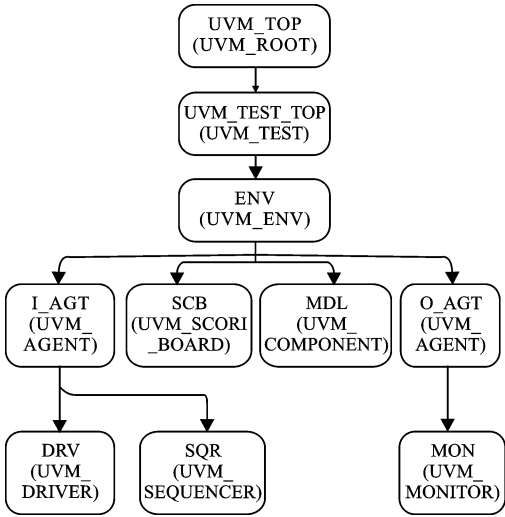


图 1 UVM 树形层次结构图

其中 env 以下每一个元素都是一个验证组件,而 uvm_top 作为整个树形结构的根,其 parent 属性为 null,它是 uvm_root 的一个实例.按照此树形结构,从根 uvm_top 开始引用可以便找到树的各个元素,方便验证人员将自己的验证组件加入验证平台.

UVM 验证方法学通过 Phase 机制实现了验证流程的细分,可以帮助验证人员更加容易地掌握和修改验证的进程;通过 Factory 机制,实现了自动化地注册和生成建立了类层次之间的关系;通过 config 机制可以在验证平台运行过程中修改验证平台的参数.

3 被测设计(DUT)

CPU 卡芯片作为验证平台的被测设计,其设计目标是:(1) 具有非接触界面,能够支持 ISO14443-TypeA 协议;(2)能够向下兼容非接触式逻辑卡片;(3)能够支持 PBOC 协议;(4)具有较高的安全属性.

3.1 CPU 卡芯片的整体架构

芯片的系统架构如图 2 所示,主要分为模拟射频前端和数字逻辑模块两部分,本文主要对数字部分进行功能验证.数字部分采用了 AHB-lite 低功耗总线作为其片上总线,包含了 MCU、时钟控制模

块、RFC 模块、存储器的控制模块、加密处理模块,以及随机数产生模块和串口模块. MCU 作为 AHB-Lite 总线的主模块,是芯片逻辑控制的核心. MCU 采用了国产自主知识产权的 C0 MCU,综合考虑安全,性能,面积和功耗等方面,其对比传统 8 位 MCU 具有较大优势.

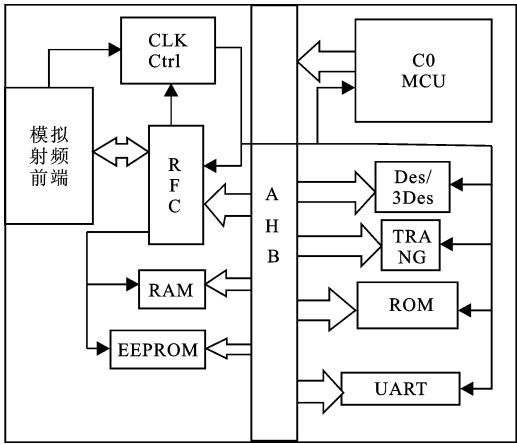


图 2 CPU 卡架构图

3.2 CPU 卡芯片处理流程

CPU 卡芯片有两种工作模式:测试模式和普通模式. 测试模式用于卡片中存储器初始化和晶圆级测试,普通模式用于正常的通信. 两种工作模式处理命令流程大致相似,在进入阅读器磁场后,MCU 工作在低功耗模式,RFC 模块将基带信号解码后,将命令存入 RAM,同时唤醒 MCU. MCU 读取 RAM 中数据处理后将响应送回给 RFC,RFC 在将其编码成基带信号,送给模拟射频前端进行调制,返回给阅读器.

4 CPU 卡芯片验证平台的实现

4.1 验证事务建模

验证事务是对验证过程中测试向量的建模,是测试向量随机化的基础. 基于 ISO14443 协议,验证事务 card_trans 中包含有命令和响应两个部分. 命令部分包含有命令的类型、命令数据、miller 编码的 pause 宽度、crc 校验值、crc 和 parity 错误标志. 命令部分的所有数据都是可随机化的,便于产生随机化的命令和错误形式. 响应部分包含有响应的类型和响应的数据.

4.2 可重用验证组件

对于已有的代码进行重用,可以减少验证的时间开销. UVM 验证方法学包含有一组通用的验证基类库,所有的验证组件都继承自他们,不仅可以快

速地帮助验证人员搭建验证平台,而且方便以后的功能扩展.

结合图 1 中的树形结构,构建出基于 UVM 的 CPU 验证平台,如图 3 所示.

Test_case_lib 中包含有根据表一中测试点建立的测试用例,其中的 card_seq 继承自基类 uvm_sequence,作为测试命令序列,根据测试用例要求将 card_trans 组合成一个个命令序列,通过命令产生器 card_sqr 传输给激励驱动器.

Card_env 作为验证环境继承自基类 uvm_test,其包含验证平台中的主要组件.

Card_i_agt 与 card_o_agt 作为功能层代理,是 card_agent 的两个实例,继承自基类 uvm_agent.其主要功能是对驱动激励和检测响应者两个数据通路进行建模.其中 i_agt 作为驱动数据通路,在验证平台的 build_phase 阶段将 card_agent 配置为 active 模式进行实例化所得;其中包含有命令发生器 card_sqr 和设计驱动器 card_driver. o_agt 作为检测响应的数据通路,在验证平台的 build_phase 阶段将 card_agent 配置为 passive 模式进行实例化所得.其中只包含有监视器 card_monitor.

reference_model 是用 system verilog 编写的 cpu 卡的参考模型.验证环境中所有的组件都通过 TLM _Port 进行连接,保证组件间通信的稳定.

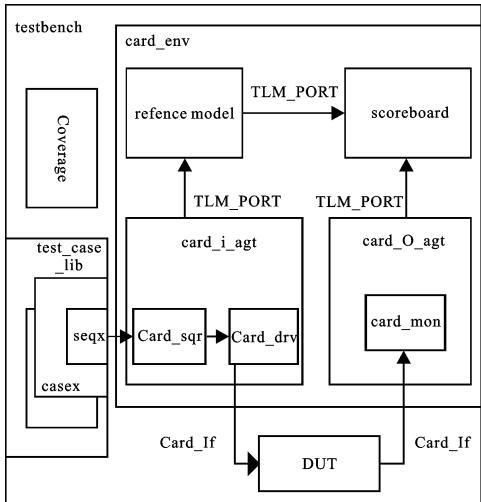


图 3 验证平台架构

Coverage 作为功能覆盖率收集,通过 callbacks 在 card_drv 发送完包以后进行覆盖率的统计.

4.3 自动化验证流程

验证流程的自动化是通过验证平台的自动对比和 makefile 等脚本的自动控制流程来实现.

验证平台的自动实时对比不仅可以免去费时费

力的波形查看工作,提高验证效率,而且还可以通过其 UVM 中 uvm_verbosity 机制进行消息过滤,与基于脚本的流程控制结合大大减少了后处理的工作量.图 4 为 cpu 卡验证平台中自动对比机制的示意图.在 card_drv 驱动事务以后,将该事务通过 TLM _Port 传送到参考模型中,在参考模型中依据卡片的逻辑对验证事务的响应部分进行赋值,然后送入 scoreboard 的缓冲队列中.另一方面 card_monitor 在收到待测设计的响应之后将其打包成 card_trans 格式送入 scoreboard 中对比. Scoreboard 将对比的结果写入 log 数据中,从而完成一次命令的实时对比.

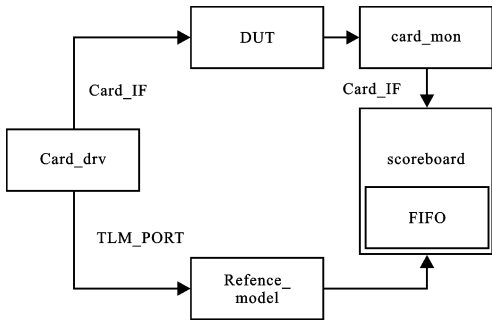


图 4 实时自动对比

验证开始后,通过脚本控制,可以同时开启验证库中多个测试用例.验证结束后通过脚本的筛选出 log 数据中的相关信息,进行分析.

5 CPU 卡验证平台的功能仿真

5.1 测试向量的建立

基于 14443 Type A 协议和 CPU 卡设计规范的理解上,建立如表 1 中所示的测试向量.

表 1 测试向量表

测试向量	测试向量说明
001	普通模式通信测试: 在普通模式下,定向输入正确的命令序列,看是否得到正确的响应.
002	测试模式通信测试,上电复位后,发送命令配置卡片进入测试模式,看测试模式下卡片能否正确响应.
003	Des/3des 加解密测试: 测试 des/3des 模块能否正确加密解密,当输入错误加密信息时,卡片响应是否正确.
004	随机错误注入测试: 主要为 CRC 错误、奇偶校验错误和命令码的长度错误. 看各条命令下,发生上述错误时,卡片的响应是否正确.
005	乱序命令测试: 对命令序列进行随机化,不按照命令流程发送命令,看其响应是否正确.
006	解码性能测试: 调整命令中修正米勒编码的凹槽宽度,测试卡片对命令码凹槽误差的容忍度.

5.2 断言验证

断言(assertion)是设计属性的描述. 在验证平台中嵌入断言,可以对设计内部的信号进行实时监控,使得验证过程更加透明;以便于更快速地定位到设计中出错的地方,提高验证效率,非常适合于验证复杂的时序逻辑关系. 图 5 是 System Verilog 断言(SVA)验证的时序图,用于验证卡片返回的负载调制是否符合协议中规定的时序. 图中的时钟信号 clk_13 为 13.56M 载波信号,manco 为卡片返回的曼彻斯特编码信号. 图中 a848k 断言向上箭头表示断言属性验证成功. 表明 manco 输出信号周期为 848khz 的斯特编码信号.

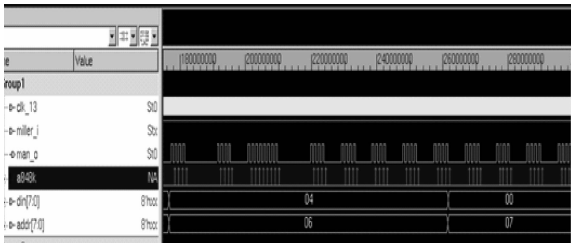


图 5 断言验证时序图

5.3 功能覆盖率

功能覆盖率是衡量哪些设计特征已经被验证平台测试的一个指标,用于帮助验证人员了解验证计划的进度. 在进行功能验证时,需要验证人员明确采样点,以及采样点的取值范围. 图 6 所示为通信流程测试中 CPU 卡验证平台中关于命令(Cmd)的功能覆盖率报告. 从中可以看到其覆盖率为 100%,说明设计规范中要求的命令集在验证过程中已经全部覆盖到了.

6 结束语

本文设计了一种基于 UVM 方法学的 CPU 卡验证平台. 相对于传统验证平台,它实现了测试用例和测试平台的分离,只作少量修改即可用于同一协议的不同设计. 该平台采用受约束的随机激励,有助于覆盖激励的边角情况,提高验证效率. 它还实现了

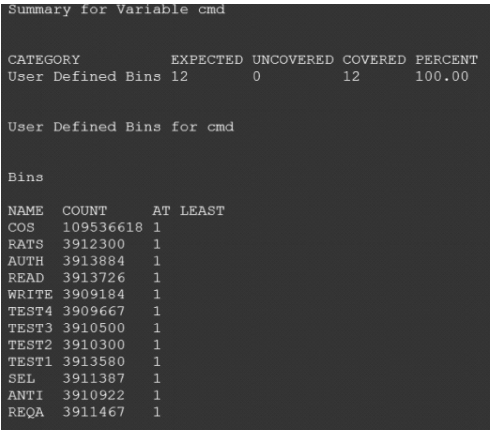


图 6 功能覆盖率

功能覆盖率的收集,确保了测试激励的完备. 实际检验表明,该验证平台可提高验证可靠性,增加流片成功率.

参考文献:

[1] 林柏良, 易凡, 黄启俊, 等. 基于 VMM 的 SATA 控制器功能验证[J]. 武汉大学学报(理学版), 2013, 59(3):223-227.

[2] 谈笑, 王小力. 一种基于 UVM 的模块级可重用随机化验证平台构建方法[J]. 微电子学与计算机, 2015, 32(3):67-72.

[3] 董亚男. 基于 VMM 的双界面卡非接触通信接口的验证[D]. 西安:西安电子科技大学, 2012.

[4] 徐金甫, 李森森. 采用 UVM 方法学实现验证的可重用与自动化[J]. 微电子学与计算机, 2014, 31(11): 14-17.

[5] 张强. UVM 实战[M]. 北京:机械工业出版社, 2014.

作者简介:

钱一文 男,(1991-),硕士研究生. 研究方向为数字集成电路设计与验证. E-mail:lenged@hotmail.com.

景为平 男,(1954-),研究员,博士生导师. 研究方向为集成电路设计及其在智能交通领域的应用.

蒋斌 男,(1973-),高级工程师. 研究方向为高性能嵌入式 CPU 设计及其应用.